

## PATENT ABSTRACTS OF JAPAN

/ (11)Publication number : 07-321874

(43)Date of publication of application : 08.12.1995

(51)Int.Cl.

H04L 29/08

(21)Application number : 06-112588

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 26.05.1994

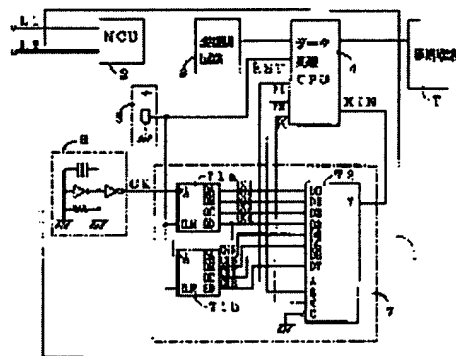
(72)Inventor : SAKURAGI SATOSHI  
SHIMIZU TOMOYASU

## (54) DATA COMMUNICATION EQUIPMENT

## (57)Abstract:

PURPOSE: To provide the data communication equipment with low power consumption.

CONSTITUTION: A data processing CPU 4 possesses communication rate to be used and changes clock switching signals P1-P3 corresponding to that communication state. A data selector 72 selects any one of frequency dividing clocks CK1-CK8 corresponding to the clock switching signals P1-P3 and when the communication rate is high, the frequency of an operating clock XIN for the data processing CPU 4 is increased but when the communication rate is low, the frequency of that operating clock XIN is decreased. Thus, since data throughput is not made excess and no useless power is consumed, it is especially effective for the portable data communication equipment driven by a battery.



## LEGAL STATUS

[Date of request for examination] 05.08.1999

[Date of sending the examiner's decision of rejection] 29.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

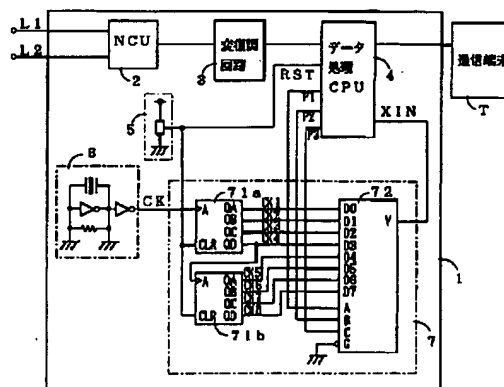
(11)特許出願公開番号

(43)公開日 平成7年(1995)12月8日

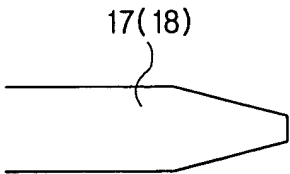
### 技術表示箇所

307 C

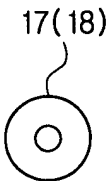
(74)代理人 弁理士 有近 紳志郎



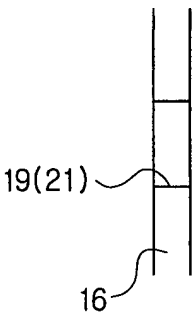
도4a



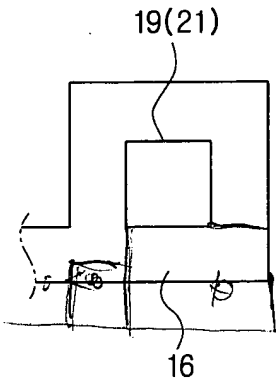
도4b



도5a



도5b



## 【特許請求の範囲】

【請求項1】 比較的高速で通信される高速通信データおよび比較的低速で通信される低速通信データの少なくとも2種類の通信データを処理するデータ通信装置において、

使用する通信速度を取得する使用通信速度取得手段と、通信データを処理するための動作クロックを前記使用通信速度に応じて切り換える動作クロック切換手段とを具備したことを特徴とするデータ通信装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、データ通信装置に関し、さらに詳しくは、全体的に消費電力を低減することが出来るデータ通信装置に関する。特に、低消費電力のモデム装置として有用である。

## 【0002】

【従来の技術】 図5は、従来のデータ通信装置の一例であるモデム装置51を示す構成図である。このモデム装置51は、通信端末Tと電話回線L1、L2の間に介設されており、NCU（網管理装置）52と、変復調回路53と、通信データを処理するデータ処理CPU54と、そのデータ処理CPU54の動作クロックXINを発生するクロック発生回路56と、前記データ処理CPU54のリセット信号RSTを発生するリセット回路55とを具備して構成されている。

【0003】 比較的高速で通信される高速通信データから比較的低速で通信される低速通信データまでの複数の種類の通信データを処理できるようにするため、前記動作クロックXINの周波数は、最も高速の通信データを処理可能な高い周波数にされている。例えば、9600bps～300bpsの通信速度の通信データを処理できるようにするため、前記動作クロックXINの周波数は、最も高速の9600bpsの通信データを処理可能な5MHzにされている。

## 【0004】

【発明が解決しようとする課題】 上記従来のモデム装置51では、通信速度が低速でも、動作クロックXINの周波数が高いまま固定されている。このため、データ処理能力が過剰となり、無駄な電力を消費する問題点がある。これは、通信速度が高速化されるほど顕著になり、無視できない問題点となる。そこで、本発明の目的は、無駄な電力の消費を防止し、全体的に消費電力を低減できるようにしたデータ通信装置を提供することにある。

## 【0005】

【課題を解決するための手段】 本発明のデータ通信装置は、比較的高速で通信される高速通信データおよび比較的低速で通信される低速通信データの少なくとも2種類の通信データを処理するデータ通信装置において、使用する通信速度を取得する使用通信速度取得手段と、通信データを処理するための動作クロックを前記使用通信速

度に応じて切り換える動作クロック切換手段とを具備したことを構成上の特徴とするものである。

## 【0006】

【作用】 本発明のデータ通信装置では、使用する通信速度に応じて動作クロックの周波数を切り換える。すなわち、通信速度が高速のときには動作クロックの周波数を高くし、通信速度が低速のときには動作クロックの周波数を低くする。このため、データ処理能力が過剰となることがなく、無駄な電力を消費しないようになる。従って、全体的に消費電力を低減することが出来る。

## 【0007】

【実施例】 以下、図に示す実施例により本発明をさらに詳細に説明する。なお、これにより本発明が限定されるものではない。

## 【0008】-第1実施例-

図1は、本発明のデータ通信装置の第1実施例のモデム装置1を示す構成図である。このモデム装置1は、通信端末Tと電話回線L1、L2の間に介設されており、NCU2と、変復調回路3と、通信データを処理するデータ処理CPU4と、一定周波数のクロックCKを発生するクロック発生回路6と、前記クロックCKを基にして前記データ処理CPU4に動作クロックXINを供給するクロックコントロール回路7と、そのクロックコントロール回路7および前記データ処理CPU4のリセット信号RSTを発生するリセット回路5とを具備して構成されている。前記クロックコントロール回路7は、前記クロックCKを分周して分周クロックCK1～CK8を得る分周器71a、71bと、前記データ処理CPU4から与えられたクロック切換信号(P1、P2、P3)に応じて分周クロックCK1～CK8のいずれかを選択し、動作クロックXINとして出力するデータセクタ72とから構成されている。

【0009】 次に、上記モデム装置1の動作を説明する。説明の都合上、前記クロックCKの周波数を80MHzとし、分周クロックCK1～CK8の周波数を40MHz～312.5kHzとする。

【0010】 リセット信号RSTによりデータ処理CPU4が初期化されると、クロック切換信号(P1、P2、P3)は分周クロックCK1(40MHz)を選択する状態となる。従って、初期状態でのデータ処理CPU4の動作クロックXINは、40MHzとなる。データ処理CPU4は、使用する通信速度を取得する。例えば、ATコマンドの場合、通信端末Tから入力されたビット列のスタートビットの時間幅を測定し、それに基づいて使用通信速度を取得する。次に、データ処理CPU4は、取得した使用通信速度に応じてクロック切換信号(P1、P2、P3)を変更し、データセクタ72で分周クロックCK1～CK8のいずれかを選択させる。例えば、通信速度が76.8kbpsなら分周クロックCK1(40MHz)を選択させ、通信速度が38.4k

図8a

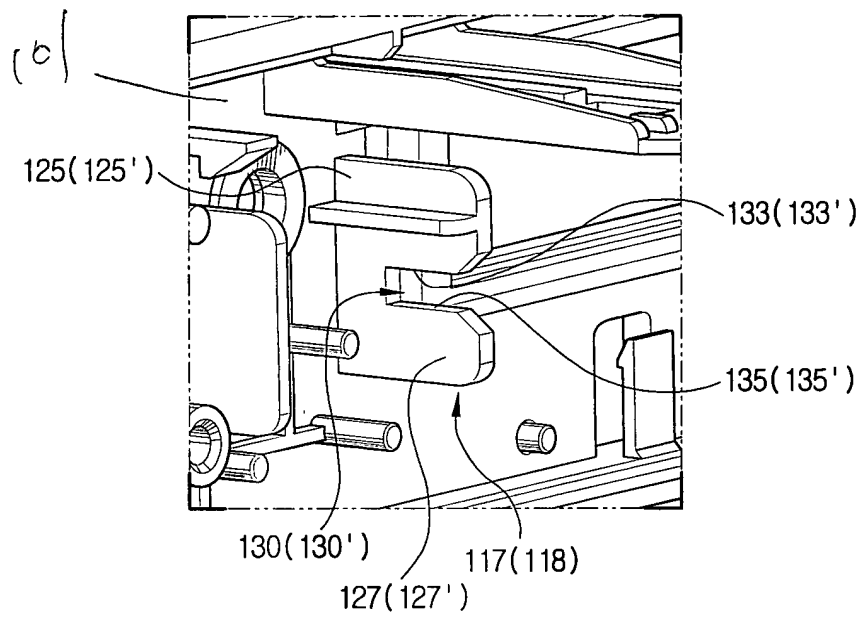
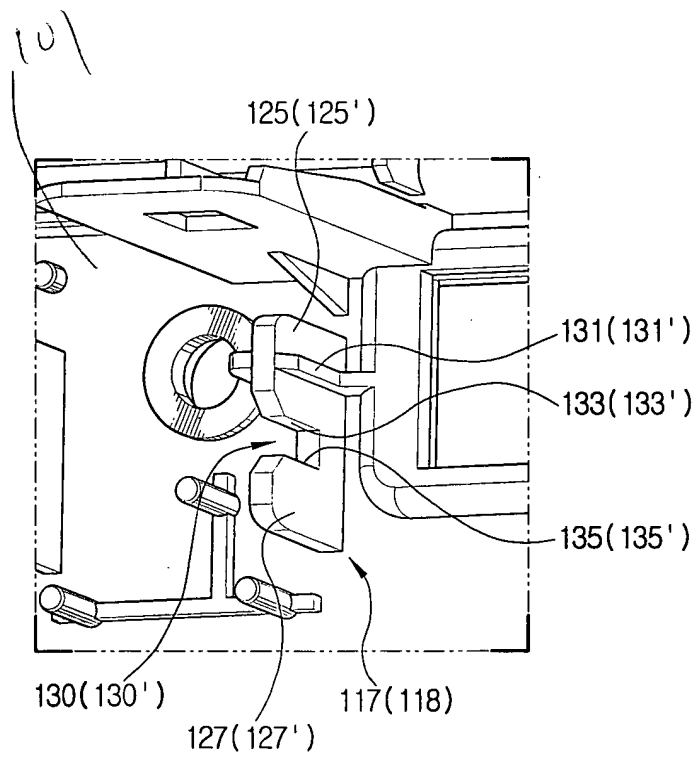


図8b



3

bpsなら分周クロックCK2(20MHz)を選択させ、通信速度が19.2kbpsなら分周クロックCK3(10MHz)を選択させ、通信速度が9600bpsなら分周クロックCK4(5MHz)を選択させ、通信速度が4800bpsなら分周クロックCK5(2.5MHz)を選択させ、通信速度が2400bpsなら分周クロックCK6(1.25MHz)を選択させ、通信速度が121bpsなら分周クロックCK7(625kHz)を選択させ、通信速度が300bpsなら分周クロックCK8(312.5kHz)を選択させる。

【0011】以上の結果、使用通信速度が高速のときには動作クロックXINの周波数が高くなり、使用通信速度が低速のときには動作クロックXINの周波数が低くなるから、データ処理CPU4は、使用通信速度に対して過不足のないデータ処理能力を持つことになる。つまり、データ処理能力が過剰となることがなく、無駄な電力を消費しないようになり、全体的に消費電力を低減することが出来るようになる。

【0012】-第2実施例-

図2は、本発明のデータ通信装置の第2実施例のモデム装置21を示す構成図である。このモデム装置21は、第1実施例のモデム装置1のデータ処理CPU4およびクロックコントロール回路7を、データ処理CPU24およびクロックコントロール回路27に置換した構成である。データ処理CPU24は、使用する通信速度を取得し、使用通信速度に応じてクロック切換信号(P1, P2, P3)を変更し、最も低い通信速度に対応する動作クロックの1周期分の時間より長い所定時間だけ切換許可信号SELを“H”にする。図3に示すように、クロックコントロール回路30は、分周器31と、AND回路32と、データセクタ33と、NOT回路34と、ラッチ35と、Dフリップフロップ36a, 36bと、NOT回路37と、AND回路38とを具備して構成されている。

【0013】図4の(a)に、前記クロックCKを示す。このクロックCKの周波数を10MHzとする。図4の(b)に、前記分周クロックCK1を示す。この分周クロックCK1の周波数を5MHzとする。図4の(c)に、前記分周クロックCK2を示す。この分周クロックCK2の周波数を2.5MHzとする。図4の(d)に、前記分周クロックCK3を示す。この分周クロックCK3の周波数を1.25MHzとする。図4の(e)に、AND回路32の出力するタイミング信号Vaを示す。このタイミング信号Vaは、クロックCKおよび分周クロックCK1~CK3の論理積であり、Dフリップフロップ36a, 36bのクロック信号になっている。

【0014】さて、データ処理CPU24が、時刻t0に、切換許可信号SELを図4の(f)に示すように“L”にしていると、Dフリップフロップ36aの出力Vbは図4の(g)に示すように“L”である。従っ

4

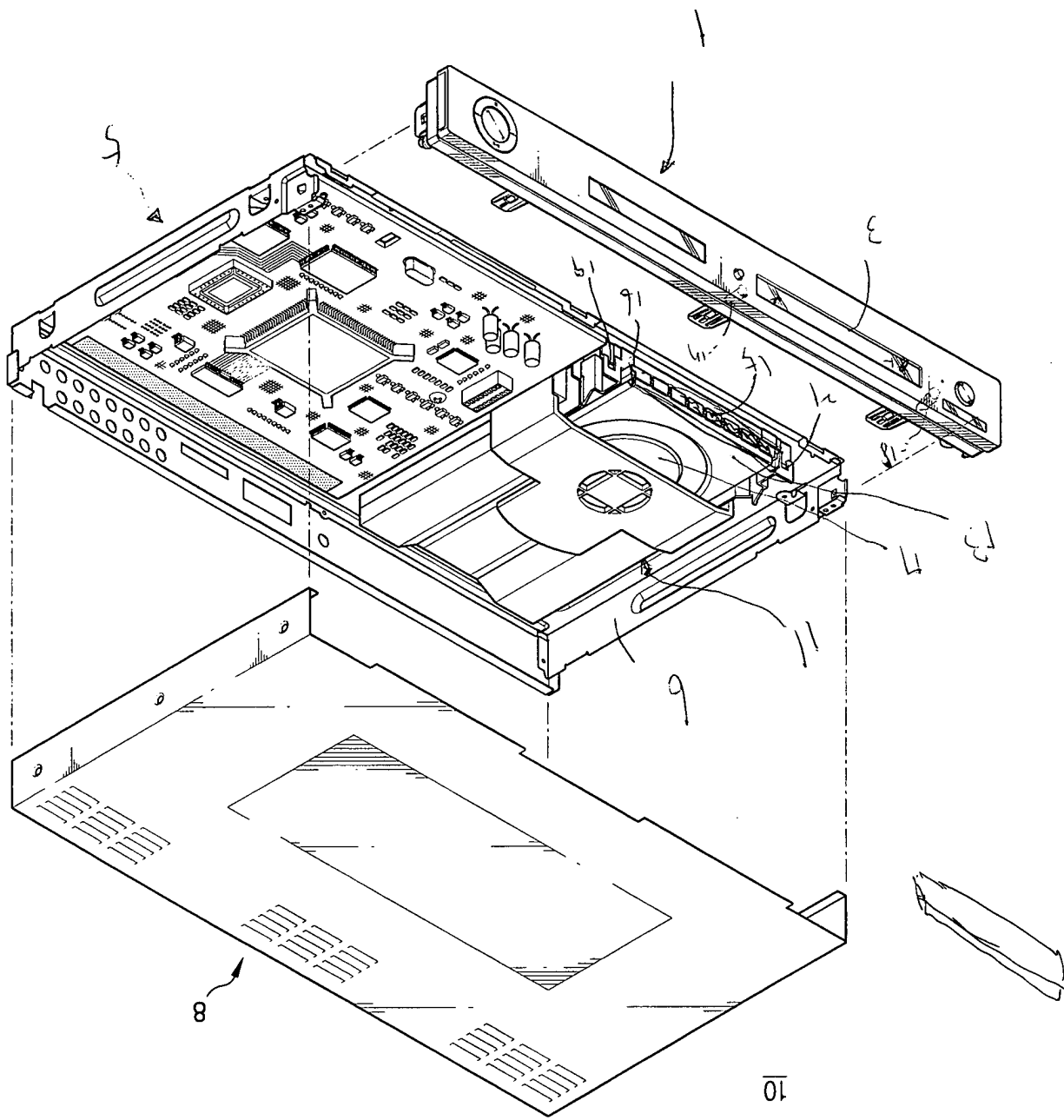
て、NOT回路37の出力信号Vcは図4の(h)に示すように“H”であり、Dフリップフロップ36bの出力Vdも図4の(i)に示すように“H”である。このため、AND回路38の出力信号Vhは図4の(j)に示すように“L”である。そこで、ラッチ35は、以前に読み込んだクロック切換信号(P1, P2, P3)の状態を保持しており、クロック切換信号(P1, P2, P3)を新たには読み込まない。

【0015】データ処理CPU24が、取得した通信速度に応じて時刻t0と時刻t1の間にクロック切換信号(P1, P2, P3)を切り換えたとする。しかし、上記のように、ラッチ35はクロック切換信号(P1, P2, P3)を新たには読み込まないから、データセクタ33は切り換わず、以前の動作クロックXINが維持されたままとなる。

【0016】データ処理CPU24が、時刻t1に切換許可信号SELを図4の(f)に示すように“H”にしても、Dフリップフロップ36aのクロック信号であるタイミング信号Vaが来ないため、図4の(g)~(j)に示すように信号Vb, Vc, Vd, Vhの状態は変わらない。従って、ラッチ35は、以前に読み込んだクロック切換信号(P1, P2, P3)の状態を保持しており、データセクタ33は切り換わず、以前の動作クロックXINが維持されたままとなる。

【0017】時刻t2になると、図4の(e)に示すタイミング信号VaのアップエッジでDフリップフロップ36aが切換許可信号SELの“H”を読み込み、その出力信号Vbが図4の(g)に示すように“H”になる。そこで、NOT回路37の出力信号Vcは図4の(h)に示すようにわずかに遅れて“L”になる。このわずかな遅れがあるため、Dフリップフロップ36bはNOT回路37の前の出力状態“H”を読み込み、その出力信号Vdが図4の(i)に示すように“H”のままである。このため、AND回路38の出力信号Vhは図4の(j)に示すように“H”になる。そこで、ラッチ35は、クロック切換信号(P1, P2, P3)の状態を新たに読み込む。この結果、データセクタ33が切り換わり、動作クロックXINが切り換わる。このように、動作クロックXINの切り換わりは常にクロックCKおよび分周クロックCK1~CK3の位相がそろった時となるから、データ処理CPU24の動作の安定性を確保できる。

【0018】データ処理CPU24は、適当な時刻t3に切換許可信号SELを図4の(f)に示すように“L”に戻す。しかし、Dフリップフロップ36aのクロック信号であるタイミング信号Vaが来ないため、図4の(g)~(j)に示すように信号Vb, Vc, Vd, Vhの状態は変わらない。従って、ラッチ35は、時刻t2で読み込んだクロック切換信号(P1, P2, P3)の状態を保持している。





5

【0019】時刻 $t_4$ になると、図4の(e)に示すタイミング信号VaのアップエッジでDフリップフロップ36aが切換許可信号SELの“L”を読み込み、その出力信号Vbが図4の(g)に示すように“L”に戻る。そこで、NOT回路37の出力信号Vcは図4の(h)に示すようにわずかに遅れて“H”に戻る。このわずかな遅れがあるため、Dフリップフロップ36bはNOT回路37の前の出力状態“L”を読み込み、その出力信号Vdが図4の(i)に示すように“L”になる(時刻 $t_2$ と時刻 $t_3$ の間にタイミング信号Vaのアップエッジがあれば既に“L”になっている)。このため、AND回路38の出力信号Vhは図4の(j)に示すように“L”になる。そこで、ラッチ35は、時刻 $t_2$ に読み込んだクロック切換信号(P1, P2, P3)の状態を保持し、クロック切換信号(P1, P2, P3)を新たには読み込まなくなる。

【0020】時刻 $t_5$ になると、図4の(e)に示すタイミング信号VaのアップエッジでDフリップフロップ36bがNOT回路37の出力“H”を読み込み、その出力信号Vdが図4の(i)に示すように“H”に戻る。これにより、時刻 $t_0$ の状態に復帰したことになる。

【0021】上記第2実施例のモデム装置21によれば、無駄な電力を消費しないようになり、全体的に消費電力を低減することが出来るようになると共に、動作クロックXINの切り換わりを常にクロックCKおよび分周クロックCK1~CK3の位相がそろった時とでき、データ処理CPU24の動作の安定性を確保することが出来る。

【0022】

【発明の効果】本発明のデータ通信装置によれば、通信データを処理するための動作クロックを実際の使用通信

6

速度に合わせて切り換えるから、データ処理能力が過剰となることなく、無駄な電力を消費しないようになり、全体的に消費電力を低減することが出来るようになる。従って、電池駆動の携帯型のデータ通信装置に特に有用である。

【図面の簡単な説明】

【図1】本発明のデータ通信装置の第1実施例を示す構成図である。

【図2】本発明のデータ通信装置の第2実施例を示す全体構成図である。

【図3】第2実施例におけるクロックコントロール回路の内部構成図である。

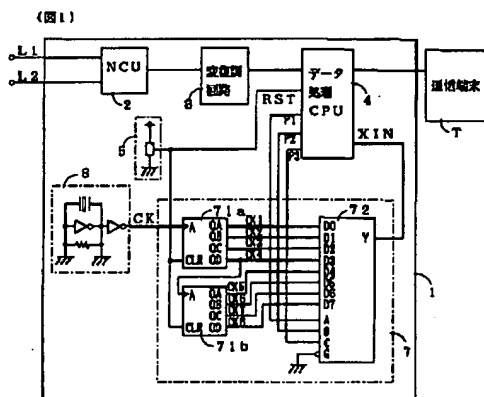
【図4】図3のクロックコントロール回路の各部のタイムチャートである。

【図5】従来のデータ通信装置の一例を示す構成図である。

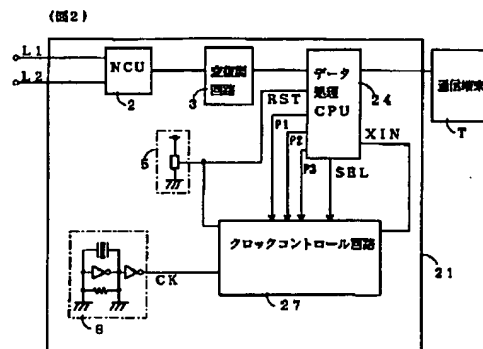
【符号の説明】

1, 21	モデム装置
2	NCU
3	変復調回路
4, 24	データ処理CPU
5	リセット回路
6	クロック発生回路
7, 27	クロックコントロール回路
31, 71a, 71b	分周器
32, 38	AND回路
33, 72	データセクタ
34, 37	NOT回路
35	ラッチ
36a, 36b	Dフリップフロップ
L1, L2	電話回線
T	通信端末

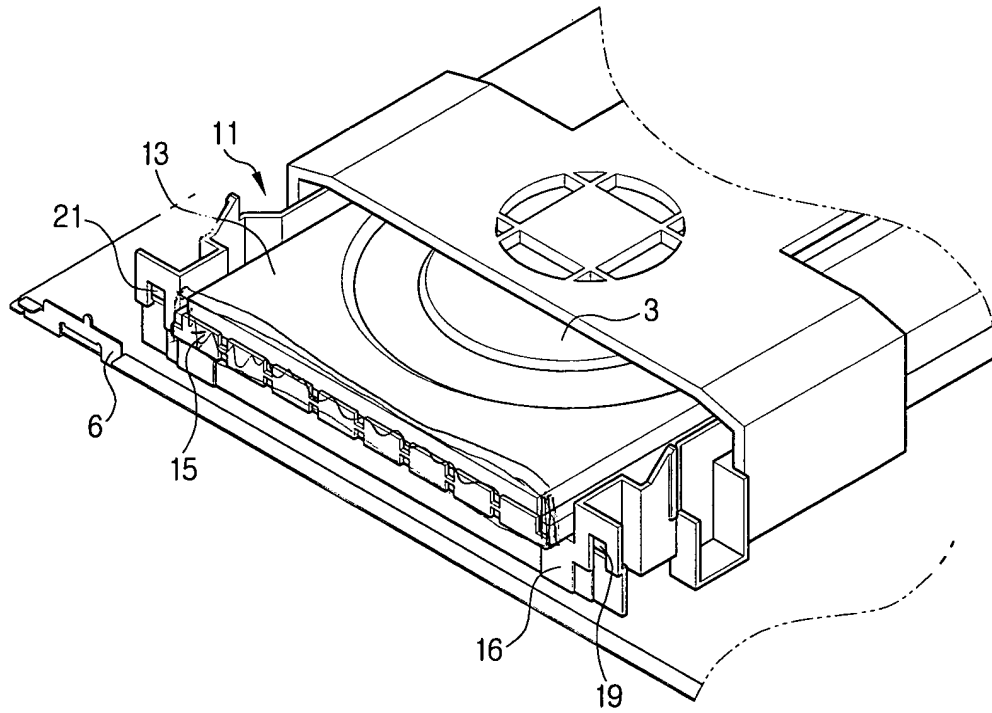
【図1】



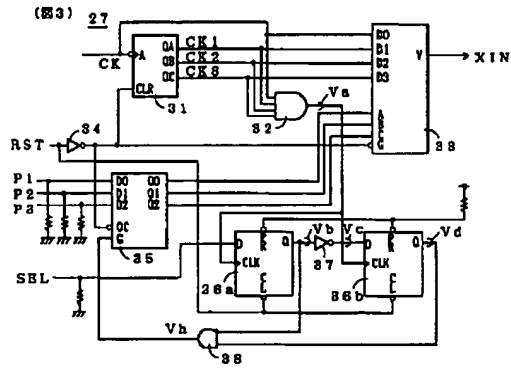
【図2】



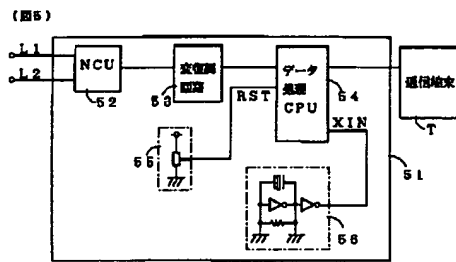
도3



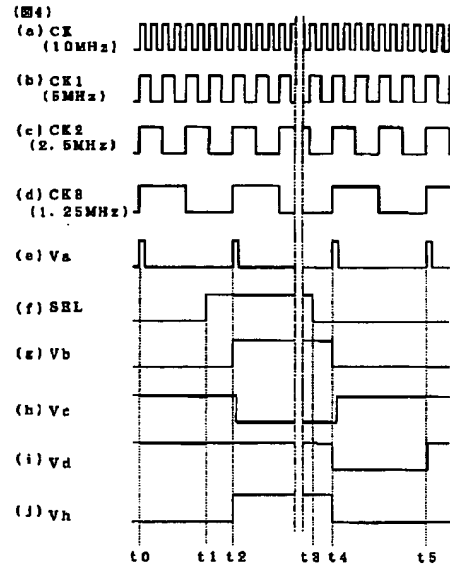
【図3】



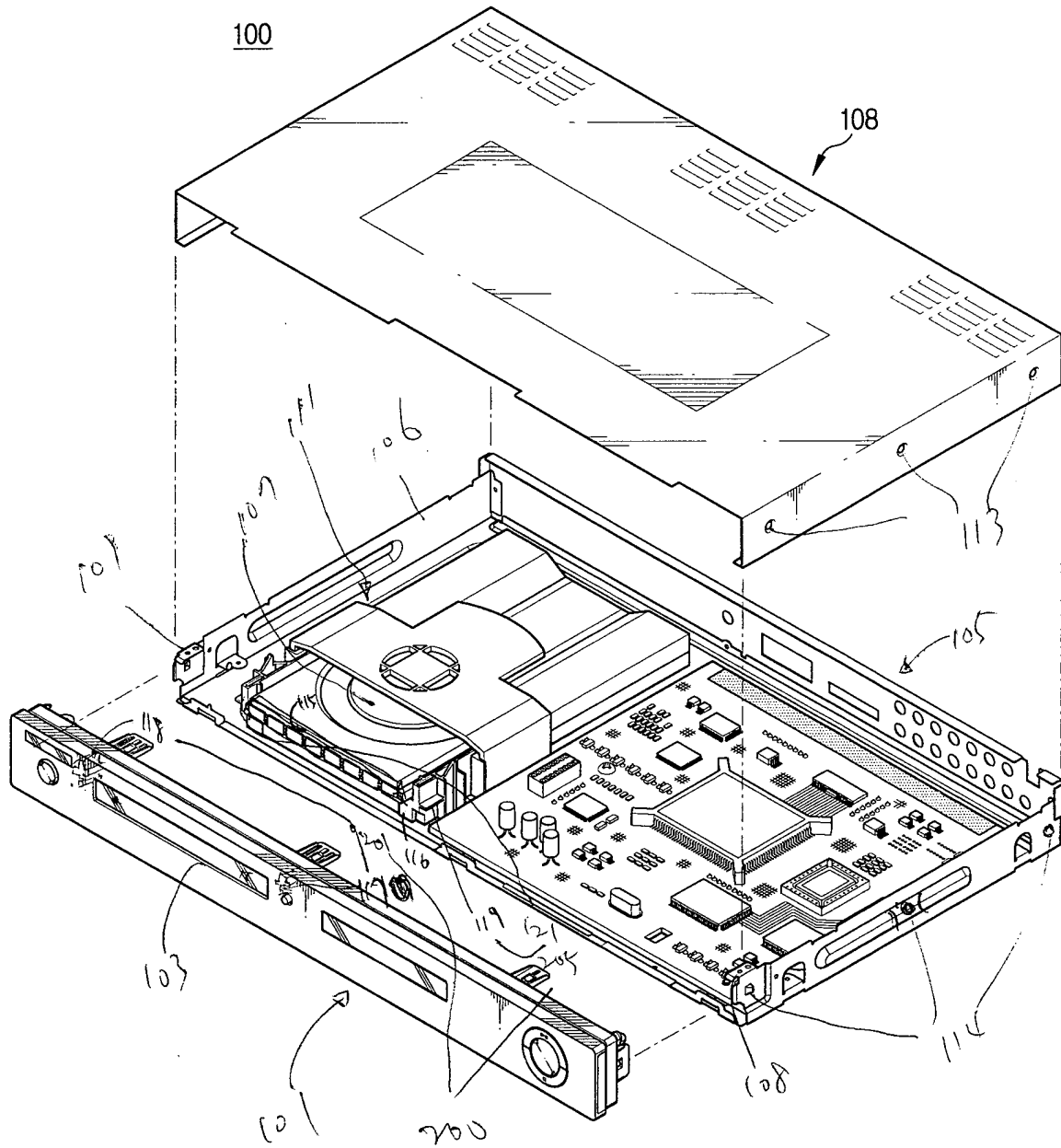
【図5】



【図4】



도6



107  
111  
109  
113  
103  
101  
200  
205  
118  
121